

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-189063
 (43)Date of publication of application : 05.07.2002

(51)Int.CI.

G01R 31/28
 G06F 11/22

(21)Application number : 2000-390923

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.12.2000

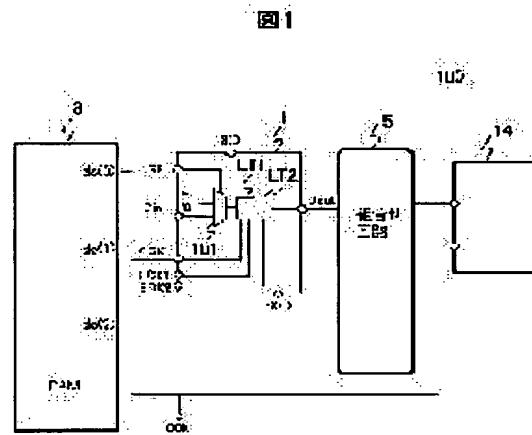
(72)Inventor : KONO YASUSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can carry out built-in self check (BIST) for a logical unit at a system operation speed, without being disturbed by a storage unit.

SOLUTION: A selector 101, for selecting a data input of latches LT1 and LT2 in a two stage structure as an actual storage element, is set to a scan storage element 1 which is connected to an output do(0) of a RAM 3. At a test mode time, the selector 101 selects logical value 0 or logical value 1 which is other than the output value do(0) of the RAM 3, and outputs the value to the LT1 and LT2. The LT1 and LT2 take the signal outputted by the selector 101 synchronously by a system capture clock CCK and output the signal via a data output pin Dout to a combining circuit 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-189063
(P2002-189063A)

(43)公開日 平成14年7月5日(2002.7.5)

(51)Int.Cl.⁷
G 0 1 R 31/28
G 0 6 F 11/22識別記号
3 6 0F I
G 0 6 F 11/22
G 0 1 R 31/28テマコード(参考)
3 6 0 A 2 G 0 3 2
3 6 0 P 5 B 0 4 8
V
G
E

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21)出願番号 特願2000-390923(P2000-390923)

(22)出願日 平成12年12月22日(2000.12.22)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 河野 安志

神奈川県秦野市堀山下1番地 株式会社日
立製作所エンタープライズサーバ事業部内

(74)代理人 100084032

弁理士 三品 岩男 (外1名)
F ターム(参考) 2G032 AA01 AA07 AC04 AC10 AG02
AC07 AH04 AK16 AK19
5B048 AA11 CC11 CC18 DD05

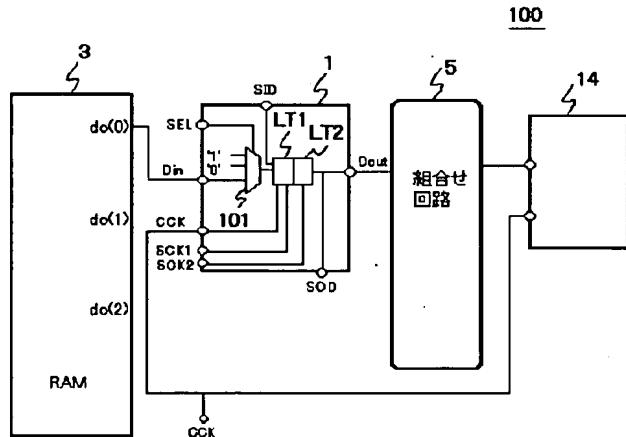
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 論理ユニットの組み込み自己検査(BIS)
T)を記憶ユニットによって妨げられることなく、シス
テム動作速度で行える半導体装置を提供する。

【解決手段】 RAM 3 の出力do(0)に接続されるスキ
ヤン記憶素子1において、実際の記憶素子である2段構
成のラッチLT1, LT2のデータ入力を選択するセレ
クタ101を設け、テストモード時は、セレクタ101
によって、RAM 3 の出力値do(0)ではなく、論理値0
又は論理値1を選択し、LT1, LT2に出力する。LT
1, LT2は、システムキャプチャクロックCCKに
同期して、セレクタ101が出力する信号を取り込み、
データ出力ピンDoutを介して、組合せ回路5に出力
する。

図1



【特許請求の範囲】

【請求項1】 記憶ユニットと、
当該記憶ユニットとの間で信号をやり取りする論理ユニットと、
前記記憶ユニットから前記論理ユニットへの伝達経路上に位置し、スキャンバスに接続される記憶素子と、
テストパターンを生成し、スキャンバスの入力端へと供給するテストパターン生成回路と、
スキャンバスの出力端からの信号を入力し、圧縮するテストパターン圧縮回路と、
前記記憶ユニットから伝達される信号と、予め定められた論理値とのいずれかを選択して、前記記憶素子のデータ入力として出力するセレクタとを備えたことを特徴とする半導体装置。

【請求項2】 前記予め定められた論理値は、論理値0、論理値1及び前記記憶素子のデータ出力の反転値のいずれかであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 記憶ユニットと、
当該記憶ユニットとの間で信号をやり取りする論理ユニットと、
前記記憶ユニットから前記論理ユニットへの伝達経路上に位置し、スキャンバスに接続される記憶素子と、
テストパターンを生成し、スキャンバスの入力端へと供給するテストパターン生成回路と、
スキャンバスの出力端からの信号を入力し、圧縮するテストパターン圧縮回路と、
前記記憶ユニットから伝達される信号と、前記記憶素子の出力を反転した信号とのいずれかを選択して、前記記憶素子のデータ入力として出力するセレクタとを備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特に、組み込み自己検査回路を備えた半導体装置に関する。

【0002】

【従来の技術】 従来から、組み込み自己検査(BIST: Built In Self Test)回路を備えた半導体装置が知られている。BISTは、半導体装置が自分自身を試験することによって、半導体装置の試験を容易化する手法である。

【0003】 図6は、BIST回路を備えた半導体装置の構成を示す図である。

【0004】 同図に示すように、半導体装置150は、論理ユニットとしての組合せ回路4, 5と、記憶ユニットとしてのRAM3とを備えている。半導体装置150は、更に、PRPG(Pseudo Random Pattern Generator)10と、MISR(Multiple Input Signature Register)11と、記憶素子1, 2, 13, 14とを備える。P

RPG10とMISR11と記憶素子1, 2, 13, 14とは、BIST回路を構成し、半導体装置150の検査を行うためのBISTを実行する。

【0005】 PRPG10は、疑似乱数テストパターン発生器であり、MISR11は、出力応答系列を圧縮し、圧縮結果を出力する符号圧縮器である。PRPG10及びMISR11の詳細については後述する。 1-5

【0006】 記憶素子1, 2, 13, 14は、組合せ回路4, 5やRAM3との間で、信号のやり取りを行うフリップフロップ等の記憶素子であり、通常動作時は、組合せ回路4, 5等と共に、半導体装置150内の順序回路を構成し、テストモード時は、他の記憶素子と縦横接続されて、スキャンバス(スキャンチェーン)を構成するスキャン記憶素子である。 1-1
1-2

【0007】 同図に示した例では、スキャンバス12として、PRPG10から、記憶素子13, 14を介して、MISR11につながるものと、PRPG10から、記憶素子2, 1を介して、MISR11につながるものとの2本のスキャンバスが示されている。 1-5

【0008】 PRPG10により発生したテストパターンは、スキャンバス12を介して、記憶素子13, 14及び記憶素子2, 1にスキャンインされる。そして、スキャンインされたテストパターンを使って、組合せ回路4, 5の試験が行われ、その結果は、記憶素子に取り込まれ、記憶素子13, 14及び記憶素子2, 1からスキャンバス12を介してMISR11にスキャンアウトされる。そして、スキャンアウトされた値は、MISR11によって符号圧縮され、半導体装置150の外部に出力される。そして、その符号の比較により、半導体装置150の良否判定が行われる。 1-3

【0009】 図7は、PRPGの構成例を示す図である。 1-5

【0010】 同図に示すように、PRPG200は、複数のFF(フリップフロップ)201と、それらを循環的に接続するEXOR(排他的論理和)ゲート202とを備える。この回路では、各FF201に初期値を与えた後、クロックを印可するとそのクロックに同期して順次、循環周期をもつ疑似乱数が発生され、発生された疑似乱数がスキャンバス12へ供給されていく。 1-5

【0011】 図8は、MISRの構成例を示す図である。

【0012】 同図に示すように、MISR210は、交互に接続された複数のFF211及びEXORゲート212を備え、さらにそれらを循環的に接続するEXORゲート213を備える。この回路では、FF211に初期値を与えた後、クロックに同期して、EXOR212の一方の入力に接続されたスキャンバス12から印可されてくる値を使った演算が行われる。その結果、スキャンバス12より順次印可されてくる値を時系列に沿って圧縮した結果であるシグネチャが得られる。

1-4

【0013】このシグネチャは、試験の結果として、半導体装置150の外部へと出力される。半導体装置150に対する論理シミュレーションによって求められているシグネチャの正常値と、MISR11に保持された観測値とを比較することでスキャンバス自身も含めて、組合せ回路4および5が正常であるか否かの判定を行うことができる。

【0014】

【発明が解決しようとする課題】ところで、図6において、記憶素子1は、RAM3のデータ出力d₀(0)～d₀(2)に接続されており、RAM3から出力される信号が取り込まれる。従って、RAM3内の各メモリセルが初期化されていない状態で試験が開始されると、メモリセルの値が定まっていないため、不定値が記憶素子1に取り込まれることになる。その結果、スキャンバス12を介してMISR11に不定値が混入されることになり、シグネチャの正常な計算ができなくなる。

【0015】入力が確定していれば、組合せ回路4、5からは、不定値がスキャンバスに混入されることはないが、初期化されていないRAM3からは不定値が混入される恐れがある。BISTを用いないスキャンテストでは不定値が混入したときのデータは捨て去る（マスクする）ことによって試験を行うことが可能であるが、BIST回路では、一般に、スキャンアウトされた値を圧縮したシグネチャによって良否判断を行うので、スキャンアウトデータに不定値が混入すると、正常な試験が行えなくなる。

【0016】この問題を解決するために、例えば、テストモード時は、データ出力値が、常にデータ入力値と等しくなるようなRAMを利用して、BISTを実行する方法がとられる。

【0017】図9は、このような方法を採用した場合のRAMの構成を示す図である。

【0018】同図に示すように、RAM300は、メモリ301と、読み出しアドレスデコーダ302と、書き込みアドレスデコーダ303と、セレクタ304と、ORゲート305と、ANDゲート306とを備える。

【0019】メモリ301には、データ入力ピンDinを介して、データが入力される。また、メモリ301から読み出されたデータが、データ出力ピンDoutを介して、RAM300の外部に出力される。

【0020】読み出しアドレスデコーダ302は、読み出しアドレスピンRAを介して入力される読み出しアドレスをデコードし、デコードした結果を、メモリ301に出力する。

【0021】セレクタ304は、テストモードピンTEを介して入力されるテストモード信号に従って、書き込みアドレスピンWAを介して入力される書き込みアドレスと、読み出しアドレスピンRAを介して入力される読み出しアドレスとのいずれかを選択し、書き込みアドレ

スデコーダ303へ出力する。

【0022】書き込みアドレスデコーダ303は、セレクタ304から供給されるアドレスをデコードし、デコードした結果を、メモリ301に出力する。書き込みアドレスデコーダ303を動作させるか否かは、ORゲート305の出力信号によって制御される。

【0023】ORゲート305は、ANDゲート306の出力とテストモードピンTEを介して入力されるテストモード信号とのOR条件をとり、その結果を書き込みアドレスデコーダ303に出力する。ANDゲート306は、制御ピンWEを介して入力される書き込み動作を行なうか否かを示す制御信号と、クロックピンTを介して入力されるクロック信号とのAND条件をとり、その結果をORゲート305に出力する。

【0024】テスト時は、テストモードピンTE=1とする。このとき、セレクタ304は、読み出しアドレスを選択して出力する。また、書き込みアドレスデコーダ303は、書き込み動作条件となる。この結果、読み出しアドレスピンRAの示すメモリ301のアドレスに対して、Dinを介して入力される値が書き込まれ、また同時に、Doutにその値が読み出される。これによりBIST時には、RAM300のデータ出力値は、常にデータ入力値と等しくなり、その結果、MISR11に不定値が混入されることなくなる。

【0025】しかしながら、このようなRAM300の方式では、テストパタン毎に、PRPG10からスキャンバス12を介して設定されたメモリ301のアドレスに、同様に設定されたデータ入力Dinを書き込み、さらにその値をDoutから読み出すための時間が必要となるが、この時間は、通常、組合せ回路4、5の動作時間に比べ長い時間となる。このため、半導体装置150の検査は、RAM300のテストモード時の動作速度で行うこととなり、システム動作速度で行なうことが妨げられてしまう。

【0026】この問題点を解消するものとして、例えば、特開平11-352188号公報には、初期化されていないRAMからのデータ出力は、MISRへと伝達させないことで不定値が混入することを避ける半導体装置が開示されている。

【0027】この半導体装置では、図10に示すように、PRPG10からスキャンバス12を介して伝えられたスキャンイン値は途中で分岐し、一方はRAM403のデータ入力Din記憶素子401へ伝わり、他方はデータアウトDout記憶素子402へ伝わる。RAM403からの不定値を取り込んだDout記憶素子402は、MISR11へのスキャンバスに接続されていないので、不定値がMISR11へ伝達されることはない。Din側論理404をテストした結果は、Din記憶素子401からスキャンバス12を介してMISR11へと伝わる。また、Dout側論理405は、Dout記憶

素子402へのスキャンイン値を使ってテストされ、テスト結果は、不図示のスキャンバスを使って、MISR11へ伝達される。このようにしてDi側論理404及びDo側論理405をテストする場合は、テスト速度は、RAM403の動作速度には影響されない。

【0028】しかしながら、シミュレーション等を行うために利用されるテスト容易化設計用CADツールは、分岐したスキャンバスに対応していないため、故障検出率や、MISRからのシグネチャを求めるシミュレーションを行う際は、この回路構成を、当該回路と等価な回路である図11に替える必要がある。

【0029】同図に示すように、本回路構成では、スキャンバス12は分岐せず、仮想的なデータ入力／出力Din/Dout兼用記憶素子501に接続される。この場合、Di側論理404をテストした結果は、記憶素子501を取り込まれ、記憶素子501からスキャンバス12を介して、MISR11へ伝わる。また、PRPG10からスキャンバス12を介して記憶素子501へスキャンインされたパタンがDo側論理405へ供給される。前記公報記載の半導体装置では、このような構成の回路図を実際のものとは別にシミュレーション用に準備し、シミュレーションには、実際の回路とは異なるシミュレーション用の回路を使用する必要がある。

【0030】さらに、このようにシミュレーション用の回路構成と実際の回路構成とが異なることになると、遅延故障に対するテストの方法が限定されてしまうことになる。

【0031】図12は、当該問題点を説明するための図である。ここでは、同図に示したような回路構成において、論理602の遅延故障についてのテストを行う場合について考える。

【0032】論理602の遅延故障に対するテストを行うためには、その前段に接続される記憶素子603に信号変化を発生させる必要がある。このような信号変化を発生される方法としては、2種類の方法がある。

【0033】まず、第1の方法は、シフトチェーンに依存した信号変化を利用する方法である。記憶素子603-①、603-②、603-③について、それぞれのスキャンイン後の確定値をa、b、cとする。この場合、例えば、記憶素子603-③では、スキャンインの際、aからb、bからc等と、順次信号変化が発生することになる。このような信号変化を利用する方式をSL(Skewed Load)方式と呼ぶ。

【0034】また、第2の方法は、論理に依存した信号変化を利用する方法である。スキャンイン後、記憶素子603-①、603-②、603-③について、前方論理601によりそれぞれの確定する値がA、B、Cであるとする。この場合、確定値A、B、Cが各記憶素子603-①～③に取り込まれる際、aからA、bからB、cからC等の信号変化が発生することになる。このよう

な信号変化を利用する方式をBS(Broad Side)方式と呼ぶ。

【0035】遅延故障に対するテストでは、通常、この二つの方式を組み合わせて故障検出率を向上させていく。

【0036】ところが、BS方式は、図11に示したような回路構成には当てはめることはできない。すなわち、図11に示した回路構成では、Do側論理405の遅延故障をテストするために利用されるDin/Dout兼用記憶素子501の変化後の値は、Di側論理404による確定値と計算してしまうが、図10に示すように、実際の回路構成では、Di側論理404による確定値は、記憶素子401に取り込まれ、Do側論理405に接続される記憶素子402に取り込まれるのは、RAM403からの値である。このように、この方式では、遅延故障に対するテストにおいてBS方式を扱えない。

【0037】本発明の目的は、論理ユニットのBISTを記憶ユニットによって妨げられることなく、システム動作速度で行えるとともに、そのために論理シミュレーション用の回路図を別途準備する必要がない半導体装置を提供することにある。

【0038】

【課題を解決するための手段】本発明に係る半導体装置は、記憶ユニットと、当該記憶ユニットとの間で信号をやり取りする論理ユニットと、前記記憶ユニットから前記論理ユニットへの伝達経路上に位置し、スキャンバスに接続される記憶素子と、テストパタンを生成し、スキャンバスの入力端へと供給するテストパタン生成回路と、スキャンバスの出力端からの信号を入力し、圧縮するテストパタン圧縮回路と、前記記憶ユニットから伝達される信号と、予め定められた論理値とのいずれかを選択して、前記記憶素子のデータ入力として出力するセレクタとを備えたことを特徴とする。

【0039】この場合において、前記予め定められた論理値は、例えば、論理値0、論理値1及び前記記憶素子のデータ出力の反転値のいずれかである。

【0040】本発明に係る別の半導体装置は、記憶ユニットと、当該記憶ユニットとの間で信号をやり取りする論理ユニットと、前記記憶ユニットから前記論理ユニットへの伝達経路上に位置し、スキャンバスに接続される記憶素子と、テストパタンを生成し、スキャンバスの入力端へと供給するテストパタン生成回路と、スキャンバスの出力端からの信号を入力し、圧縮するテストパタン圧縮回路と、前記記憶ユニットから伝達される信号と、前記記憶素子の出力を反転した信号とのいずれかを選択して、前記記憶素子のデータ入力として出力するセレクタとを備えたことを特徴とする。

【0041】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しつつ詳細に説明する。

【0042】<第1実施形態>図1は、本発明による半導体装置における記憶ユニットとその近傍の構成を示すブロック図である。

【0043】同図に示すように、半導体装置100は、論理ユニットとしての組合せ回路5と、記憶ユニットとしてのRAM3と、記憶素子1, 14とを備える。なお、半導体装置100は、更に、図6に示した半導体装置150と同様に、組合せ回路4、記憶素子2, 13、PRPG10、MISR11などを備えるが、簡単のため、図示を省略している。また、記憶素子1, 14は、一般に複数個存在するが、簡単のため、それぞれ1個ずつ示している。

【0044】半導体装置100は、RAM3の出力に接続される記憶素子の内部構成が、前述した半導体装置150と異なる。すなわち、RAM3の出力d0(0)に接続する記憶素子1は、実際の記憶素子である2段構成のラッチLT1, LT2と、セレクタ101とを備える。セレクタ101は、記憶素子1のデータ入力ピンDinと、ラッチLT1, LT2の入力との間に接続される。セレクタ101は、SELピンを介して入力されるセレクト信号SELに応じて、Din、論理値1及び論理値0のいずれかを選択して、ラッチLT1, LT2に出力する。ラッチLT1, LT2は、システムキャプチャクロックピンCCKを介して入力されるシステムキャプチャクロックCCKに同期して、セレクタ101が出力する信号を取り込み、データ出力ピンDoutを介して、組合せ回路5に出力する。

【0045】このように、記憶素子1は、そのデータ入力ピンDinと、実際の記憶素子の入力との間に、セレクタ101を備えており、BIST動作の際には、論理値1又は論理値0がセレクト信号SELにより選択される。このため、RAM3からの不定値は、LT1, LT2に取り込まれない。

【0046】また、記憶素子1は、LT1, LT2にそれぞれ接続するスキャンクロックSCK1, SCK2を交互に印可することで、スキャンバスの前段の記憶素子から、スキャンインデータピンSIDを介して、スキャンイン値を取り込み、さらに、スキャンアウトデータピンSODにつながる次段の記憶素子にシフトする。

【0047】次に、本半導体装置100における遅延故障に対するテストについて説明する。まず、SL方式について説明する。

【0048】図2は、SL方式における信号変化の様子を示す図である。

【0049】この場合、同図①のタイミングでは、記憶素子1は、次段の記憶素子に印可すべき値を保持している。②のタイミングにて、SCK2が印可されると、記憶素子1に、新たな値が取り込まれる。従って、タイミング①での論理値とタイミング②での論理値が異なるときは、データ出力ピンDoutに信号変化がおき、遅

延故障に対するテストが行える。一方、タイミング①での論理値とタイミング②での論理値が同じときは、信号変化がおきないため、遅延故障に対するテストは行えない。この信号変化が起きるか起きないかはスキャンバスの接続順に依存する。

【0050】この信号変化が起きたあと、ある規定されたタイミング後、すなわち、タイミング③にて、システムキャプチャクロックCCKが印可される。この規定されたタイミングで信号変化の影響が記憶素子14に到達するか否か（記憶素子14に取り込めるか否か）で組合せ回路5の遅延故障に対するテストが実施される。

【0051】記憶素子1では、システムキャプチャクロックCCKが印可されると、セレクト信号SELに応じてセレクタ101が出力する論理値1又は論理値0が取り込まれる。テストモード時のセレクト信号SELは、テスト条件に応じて、適切な論理値（0又は1）を選択するように制御される。なお、図2では、論理値1を選択したものとして図示してある。

【0052】これによりRAM3をあらかじめ初期化しておかなくてもMISR11に不定値が伝達されることはない。また、CCKを印可するタイミングは、RAM3の動作速度と一切関係なく、半導体装置100の検査をシステム動作速度で行うことが可能となる。また、シミュレーション用の回路図を別途用意する必要がなく、実際の回路図にて論理シミュレーションを行うことが可能である。

【0053】次に、BS方式での動作について説明する。

【0054】図3は、BS方式での動作を説明するための図である。

【0055】SCK1, SCK2を交互に印可してSID, SODを介して、順次スキャンイン動作を行うことは前述したSL方式と同じである。

【0056】同図①のタイミングでは、記憶素子1は、すでにスキャン動作にて取り込むべき値を保持している。タイミング②にて、CCKが印可されると、新たな値を取り込む。取り込まれる値は、セレクト信号SELの値に応じて論理値1又は論理値0である。なお、図3では論理値1を選択したものとして図示してある。

【0057】セレクタ101によって選択された値とタイミング①における論理値が異なる場合は、Doutに信号変化がおき、遅延故障に対するテストに効果がある。なお、同じ論理値であるときは遅延故障に対するテストに効果はない。

【0058】この信号変化が起きたあと、ある規定されたタイミング後、すなわち、タイミング③にて、再度、システムキャプチャクロックCCKが印可される。この規定されたタイミングで信号変化の影響が記憶素子14に到達するか否かで組合せ回路5の遅延故障に対するテストが実施される。

【0059】BISTでのテストの途中で、セレクト信号SELを制御して、セレクタ101によって選択出力する値を切り替えることにより、例えば、途中までは、論理値1を選択して、論理値0から1への変化による遅延故障のテストを行い、途中からは、論理値0を選択して、論理値1から0への変化による遅延故障のテストを行うことも可能になる。

【0060】前述したようにSL方式では信号変化が起きるか否かは、スキャンバスの接続順に依存するが、BS方式では、スキャンバスには依存しない信号変化を起こすことができる。本発明による半導体装置では、遅延故障に対するテストにおいて、SL方式とBS方式とを併用することが可能となり、故障検出率を向上させることができるとなる。

【0061】<第2実施形態>次に、本発明による別の半導体装置について説明する。

【0062】図4は、本半導体装置における記憶ユニットとその近傍の構成を示すブロック図である。

【0063】同図に示すように、半導体装置130は、図1に示した半導体装置100と同様に、組合せ回路5と、RAM3と、記憶素子1、14とを備える。図4に示した半導体装置130は、記憶素子1の内部構成のみが、図1に示した半導体装置100と異なる。すなわち、記憶素子1は、反転ゲート131を備え、ラッチLT2の出力から反転ゲート131を介した信号がセレクタ101の入力に接続される。

【0064】なお、第1実施形態と同様に、セレクタ101によって選択可能な信号として、論理値1及び/又は論理値0を更にセレクタ101に入力するようにしてもよい。

【0065】次に、半導体装置130におけるBS方式での動作について説明する。なお、SL方式での動作は、前述した半導体装置100と同じであるので説明は省略する。

【0066】図5は、BS方式での動作を説明するための図である。

【0067】SCK1、SCK2を交互に印可して、SID、SODを介して、順次、スキャンイン動作を行うことは、前述した半導体装置100と同じである。

【0068】同図①のタイミングでは、記憶素子1は、すでにスキャン動作にて取り込むべき値を保持している。そして、タイミング②にて、CLKが印可されると、新たな値を取り込む。

【0069】セレクト信号SELをテストモード時の値として、反転ゲート131の出力を選択するものとしておくことにより、タイミング①にて記憶素子1が保持していた値の反転値が新たに取り込まれる。

【0070】このように、半導体装置130では、CLKが印可されると、Doutには必ず信号変化がおきる。この点が半導体装置100と異なり、BISTでの

テストの途中で、セレクト信号SELを切り替える必要はなくなる。

【0071】この信号変化が起きたとの動作は、半導体装置100と同じである。なお、タイミング③では、タイミング②で取り込まれた値の反転値が確定値として取り込まれる。

【0072】本実施形態においても、RAM3の出力d0(0)に接続する記憶素子1には、そのデータ入力ピンDinと、実際の記憶素子の入力との間に、セレクタ101が設けられており、テストモード時は、記憶素子の反転出力値がセレクト信号SELにより選択されるので、RAM3に妨げられることなく、論理ユニットのBISTを実行できる。更に、スキャンバスの接続順に依存しない方式での遅延故障に対するテストにおいて、全パターンで信号変化が発生するのでテスト効率がよくなる。

【0073】

【発明の効果】以上詳細に説明したように、本発明によれば、BIST動作の際には、記憶ユニットの出力がスキャン記憶素子に伝達されないので、論理ユニットのBISTを記憶ユニットによって妨げられることなく、システム動作速度で行える。また、論理シミュレーション用の回路図を別途準備する必要もない。

【図面の簡単な説明】

【図1】 本発明による半導体装置の構成を示すブロック図である。

【図2】 SL方式における信号変化の様子を示す図である。

【図3】 BS方式での動作を説明するための図である。

【図4】 本発明による別の半導体装置の構成を示すブロック図である。

【図5】 BS方式での動作を説明するための図である。

【図6】 従来の半導体装置の構成を示すブロック図である。

【図7】 PRPGの内部ブロック図である。

【図8】 MISRの内部ブロック図である。

【図9】 従来装置のRAMの構成を示す図である。

【図10】 別の従来装置の構成を示すブロック図である。

【図11】 図10の回路構成と等価な回路構成を示す図である。

【図12】 遅延故障に対するテストの動作説明図である。

【符号の説明】

1, 2, 13, 14 記憶素子

3 RAM

4, 5 組合せ回路

10 PRPG

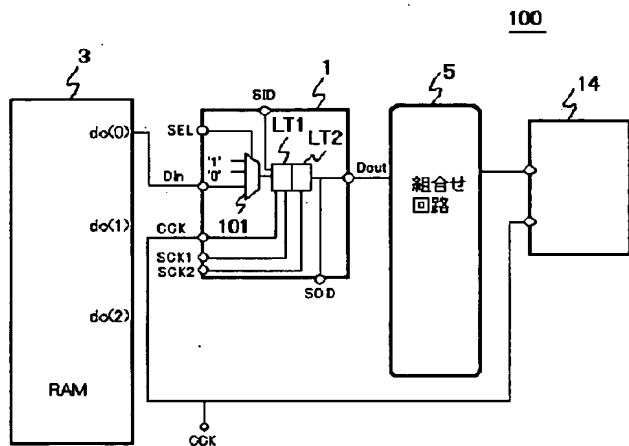
11 MISR

12 スキャンバス
101 セレクタ

131 反転ゲート

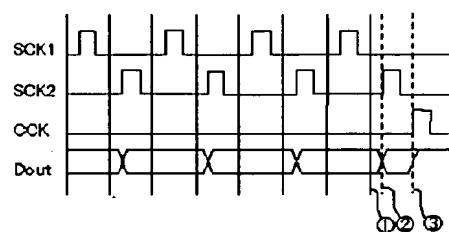
【図1】

図1



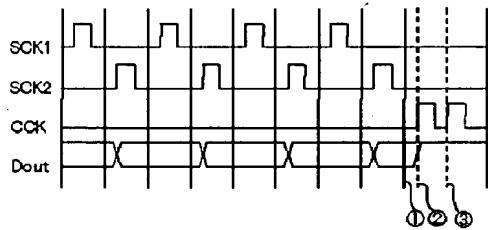
【図2】

図2



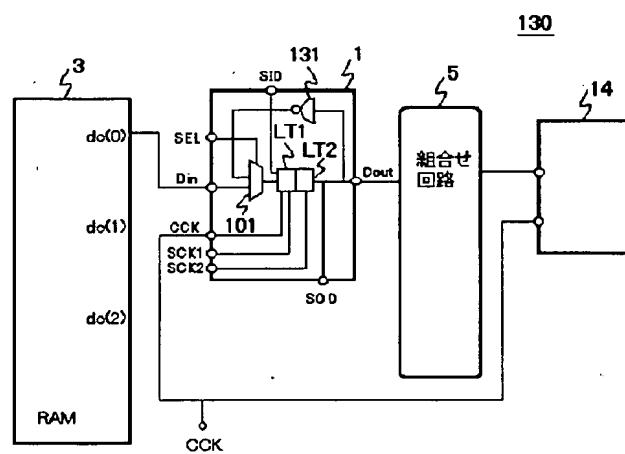
【図3】

図3



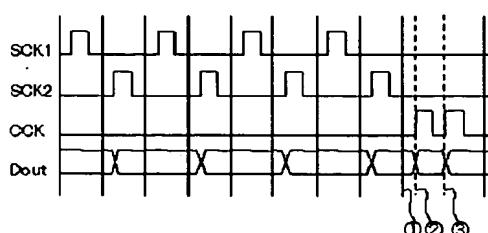
【図4】

図4



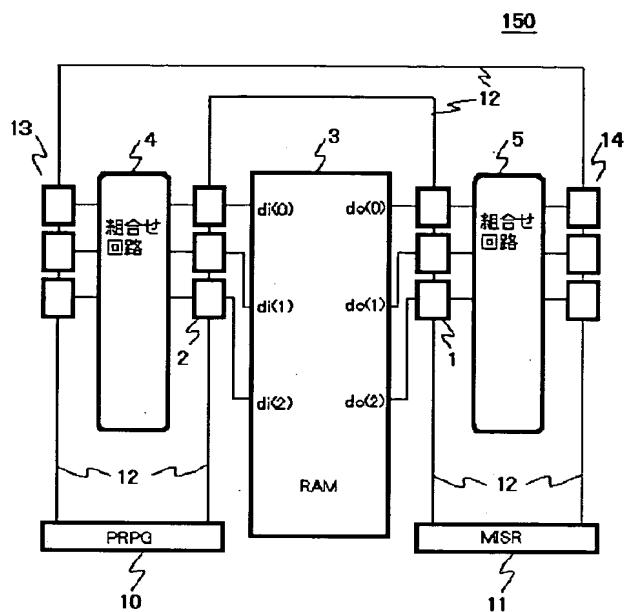
【図5】

図5



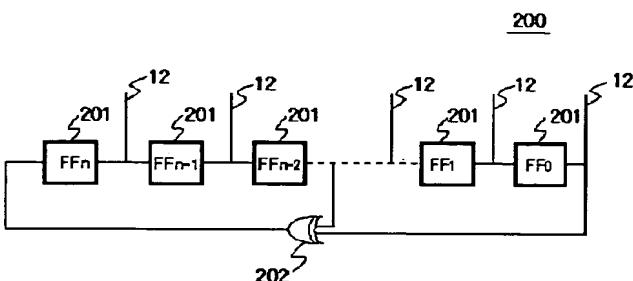
【図6】

図6



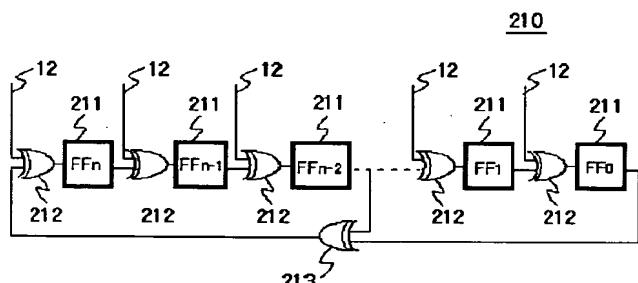
【図7】

図7



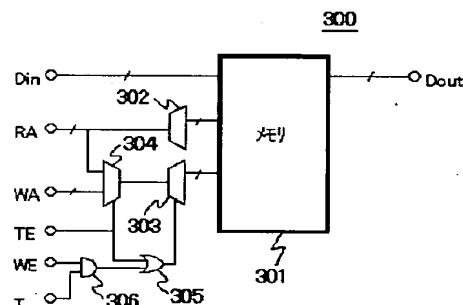
【図8】

図8



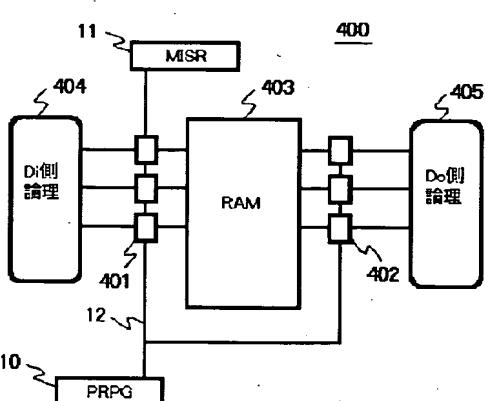
【図9】

図9



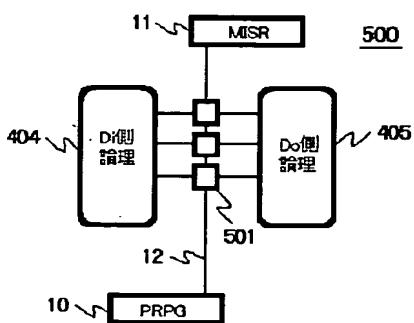
【図10】

図10



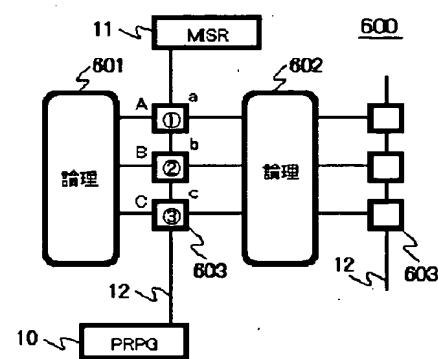
【図11】

図11



【図12】

図12



THIS PAGE BLANK (USPTO)